

PAT-NO: JP353122361A
DOCUMENT-IDENTIFIER: JP 53122361 A
TITLE: MANUFACTURE FOR SINGLE CRYSTAL
SILICON THIN FILM
PUBN-DATE: October 25, 1978

INVENTOR-INFORMATION:

NAME
WADA, YASUO
USUI, HIROO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP52036161

APPL-DATE: April 1, 1977

INT-CL (IPC): H01L021/20, H01L021/84 , H01L029/70 ,
H01L029/78 , H01L031/04

US-CL-CURRENT: 148/DIG.154, 438/FOR.484

ABSTRACT:

PURPOSE: To manufacture thin film of single crystal silicon by doping the impurity and annealing it, through deposit of amorphous or polycrystal silicon on the amorphous substrate.

COPYRIGHT: (C)1978, JPO&Japio

によりモノシラン SiH_4 とジホラン B_2H_6 を熱分解してドーパ濃度 $1 \times 10^{16} \text{ cm}^{-3}$ の P 型エピタキシャル層 (以下 E P 層と略) 14 を厚さ $2 \mu\text{m}$ に堆積し、さらに該 E P 層を所定のパターンに従って加工し、さらに 1000°C dry O_2 中で 2 時間酸化し厚さ 75 nm の酸化膜 15 を成長させ、その上に SiH_4 の熱分解法により 650°C で poly Si 16 を堆積し、ゲートとなるべき部分を被してエッチし、さらにイオン打込み法によりひもを 120 kV で $1 \times 10^{16} \text{ cm}^{-3}$ 打込み該 poly Si 16 にドーピングすると共にドレーンとなるべき領域 17 を形成した状態である。第 4 図(c)はりんガラス層 (以下 P S G 層と略) 18 を SiH_4 と酸素の CVD 法により 500 nm の厚さに堆積し、 1000°C で 30 分間アニール後コンタクト穴明けし、アルミニウム配線 19 を形成し、MOSFET を完成した状態である。この時に該ドレーンとなるべき領域の接合深さは $0.4 \mu\text{m}$ となり、該 MOSFET のチャネル長は $1.6 \mu\text{m}$ とする事ができる。他の MOSFET との電気的連結は、該 Single Si 13、該 poly Si

(7)

り少なくとも二重に行なり事ができる。

(3) 太陽電池製造実施例

第 6 図は第 4 図(a)と同様に形成した Single Si 31 上にエピタキシャル法によりドーパ濃度 $1 \times 10^{16} \text{ cm}^{-3}$ の P 型 E P 層 32 を厚さ $0.5 \mu\text{m}$ に堆積し、さらに該 E P 層 32 上に導電性ガラス SnO_2 33 を厚さ $1 \mu\text{m}$ に堆積し、該 Single Si 31 と該導電性ガラス層 33 をおのおのの電極として太陽電池を形成した状態である。電圧変換効率は約 10% のものが得られ、従来の多結晶シリコンによる太陽電池と同等以上の素子が、非常に安価なプロセスで製造できた。

(4) 低ドーパ濃度の単結晶薄膜製造実施例

以上の実施例ではアモルファス相上に形成できる単結晶シリコン (Single Si) は $10^{16} \sim 10^{18} \text{ cm}^{-3}$ という高いドーパ濃度のものであつたが、本発明では低ドーパ濃度の Single Si も提供する事が可能である。このためには、第 4 図(a)に示した構造の基板を、真空中で高温加熱し、ドーパ不純物を out-diffuse させればよい。たとえば、 1×10^{16}

(9)

特別開53-122361(3)

16、および該アルミニウム配線 19 により三重に行なり事ができる。

(c)バイポーラトランジスタ (以下 B I T と略) および複接合の B I T からなる集積回路 (以下 B I C と略) の製造実施例

第 5 図(a)は第 4 図(a)と同様に形成した Single Si の島 21 上に選択エピタキシャル法によりドーパ濃度 10^{16} cm^{-3} の P 型 E P 層 22 を厚さ $1 \mu\text{m}$ に堆積し、所定の部分を被してエッチした状態である。第 5 図(b)は該 E P 層 22 に 950°C で 30 分間ボロンを拡散し、表面濃度 $1 \times 10^{16} \text{ cm}^{-3}$ 、接合深さ $0.7 \mu\text{m}$ の P ベース層 23 を形成し、さらに 1000°C dry O_2 中で 200 nm の酸化膜 24 を成長させ、該酸化膜に穴を明け、ひもを 50 kV で $1 \times 10^{16} \text{ cm}^{-3}$ 打込み、 1000°C で 30 分アニールして接合深さ $0.35 \mu\text{m}$ 、層抵抗 $20 \Omega/\square$ のエミッタ 25 を形成し、さらにベース領域にコンタクト穴を明けアルミニウム配線 26 を形成した状態である。素子間の電気的連結は、該 Single Si 21 およびアルミニウム配線 26 によ

(8)

torr の真空中で 1100°C 2 時間加熱する事により、ドーパ濃度 $1 \times 10^{16} \text{ cm}^{-3}$ の単結晶シリコン薄膜を得る事ができた。この場合にはドーパ不純物としてりんを使用する方が該単結晶シリコン中の拡散係数が大きいため有利である。真空中で加熱する温度と時間を制御する事により、該単結晶シリコン中の不純物濃度を制御可能である。本実施例において、真空中で加熱する代りに、不活性雰囲気中で加熱してもある程度の効果をめられる。

以上の実施例においては、単結晶シリコンウエーハ上に成長させた熱酸化膜上に単結晶シリコン薄膜を形成しているが、たとえば石英ウエーハ、あるいは多結晶シリコンウエーハ上に成長させた熱酸化膜上時に該単結晶シリコン薄膜を形成する事もでき、従来の SOI 法に比して格段に安価な絶縁膜上の単結晶シリコン薄膜を製造する事が可能である。

本発明の要点をもう一度要約すると、アモルファス基板上に堆積した poly Si 16、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上の不純物をドーピングし、 800°C 以上で加熱す

(10)

る事により、該 poly Si を single Si に成長させる点にある。

以上説明したごとく本発明によれば、安価なアモルファス基板上に成膜した単結晶シリコン薄膜を安価なプロセスで得る事ができ、かつ該単結晶シリコン薄膜の特性も MOS と同等以上で十分使用に耐えるものであり、該単結晶シリコン薄膜を使用したデバイスは、整合容量が実質上無視できるため高速動作が可能である。したがって本発明の技術上の効果は大である。

図面の簡単な説明

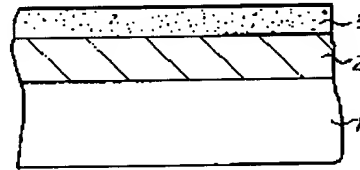
第 1 図は本発明の概念図、第 2 図は不純物ドーピング濃度と比抵抗の関係を示した図、第 3 図はアニール温度と比抵抗の関係を示した図、第 4 図(a)~(c)は本発明を MOSFET に適用した実施例を示す図、第 5 図(a)~(b)は本発明を LPTC に適用した実施例を示す図、第 6 図は本発明を太陽電池に適用した実施例を示す図である。

代理人 弁理士 池田利幸

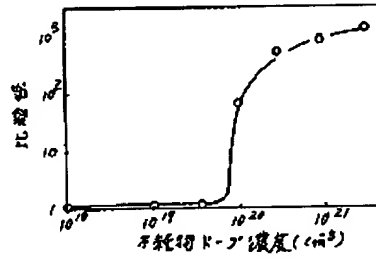
04

特開昭53-122361(4)

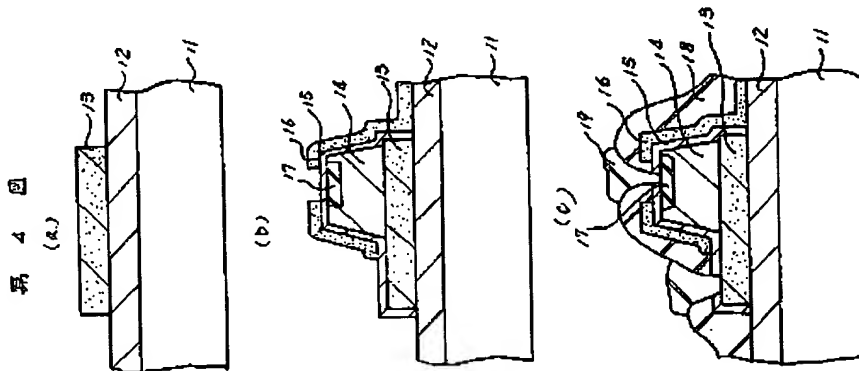
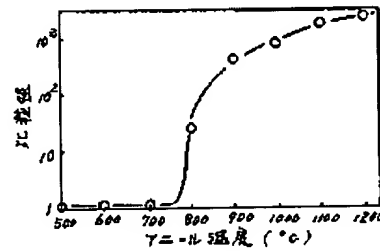
第 1 図



第 2 図

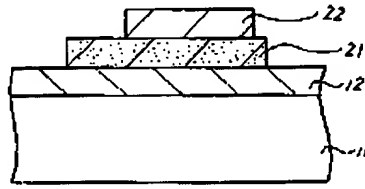


第 3 図

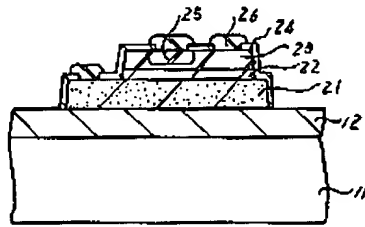


特開 昭53-122361 (5)

第 5 圖
(a)



(b)



第 6 圖

